

## **JP9319784**

Publication Title:

Circuit partitioning apparatus for executing parallel circuit simulation and method therefor

Abstract:

A circuit partitioning apparatus comprising an update operation times counting section that decomposes into the product of triangular matrixes the circuit matrix of each subcircuit composed of clusters generated by an initial clustering section; and a computation time prediction section that uses the results of counting by the update operation times counting section to predict simulation computation time required by a simulation execution time, prior to the execution of simulation, wherein the initial clustering section and a min-cut section feed back the results of the prediction section to carry out clustering and min-cut in order to create subcircuits that require equal computation time for circuit simulation.

-----  
Data supplied from the esp@cenet database - <http://ep.espacenet.com>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-319784

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl. <sup>6</sup>	識別記号	弁内整理番号	F I	技術表示箇所
G 0 6 F 17/50			G 0 6 F 15/60	6 6 4 L
17/00			15/20	D
H 0 1 L 21/82			H 0 1 L 21/82	C

審査請求 有 請求項の数 4 O L (全 12 頁)

(21) 出願番号 特願平8-136671

(22) 出願日 平成8年(1996)5月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 蜂屋 孝太郎

東京都港区芝五丁目7番1号 日本電気株式会社内

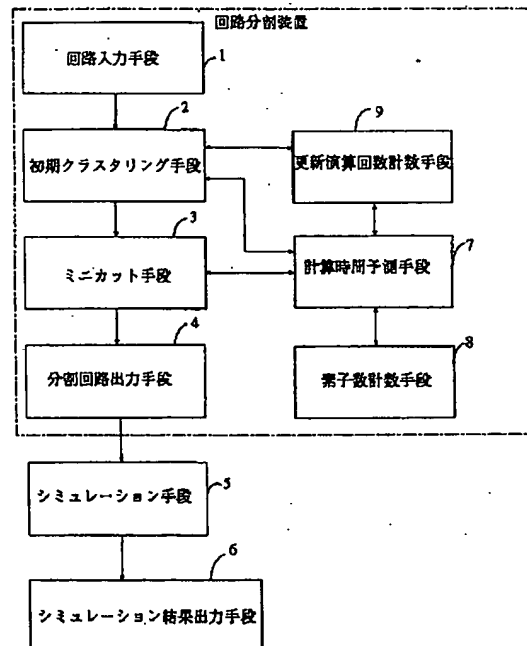
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 回路分割方法および装置

(57) 【要約】

【課題】 行列計算時間の予測精度を向上させ、各部分回路の大きさの最大値を低減し、シミュレーション時間を短縮する。

【解決手段】 回路シミュレーション時のシミュレーション計算時間をシミュレーション前に予測し予測値を求める計算時間予測手段7を備え、入力された回路をクラスタ化およびマージし、均衡のとれた予測値を持つ各部分回路に分割し、回路シミュレーション手段5に出力する。また、各部分回路の回路行列をシミュレーション時に三角行列の積に分解するLU (Lower/Upper) 分解の各更新演算回数をシミュレーション前に計数する更新演算回数計数手段9を備え、計算時間予測手段7が、各更新演算回数に対応して各予測値を求める。



## 【特許請求の範囲】

【請求項1】 回路シミュレーション時のシミュレーション計算時間をシミュレーション前に予測し予測値を求める計算時間予測ステップを含み、入力された回路をクラスタ化およびマージし、均衡のとれた前記予測値を持つ各部分回路に分割し、回路シミュレーション手段に出力する回路分割方法において、前記各部分回路の回路行列をシミュレーション時に三角行列の積に分解するLU (Lower/Upper) 分解の各更新演算回数を含む、前記シミュレーション前に計数する更新演算回数計数ステップを含む、前記計算時間予測ステップが、前記各更新演算回数に対応して前記各予測値を求めることを特徴とする回路分割方法。

【請求項2】 前記更新演算回数計数ステップが、シミュレーション時の前記各更新演算回数を、行列計算を用いずに、前記回路行列の非ゼロ要素  $a_{ij}$  のみを辺(枝)  $(j, i)$  で表す有向グラフを用いてシミュレーション前に計数する、請求項1記載の回路分割方法。

【請求項3】 既知の前記更新演算回数を持つ各部分回路をマージしたとき、マージ後の回路に新たに発生する内部節点に対応する変数を消去する時の更新演算回数のみを計数し、これを既知の前記更新演算回数と加算してマージ後の回路の更新演算回数とするステップを含む、請求項1または2記載の回路分割方法。

【請求項4】 回路シミュレーション時のシミュレーション計算時間をシミュレーション前に予測し予測値を求める計算時間予測手段を備え、入力された回路をクラスタ化およびマージし、均衡のとれた前記予測値を持つ各部分回路に分割し、回路シミュレーション手段に出力する回路分割装置において、前記各部分回路の回路行列をシミュレーション時に三角行列の積に分解するLU (Lower/Upper) 分解の各更新演算回数をシミュレーション前に計数する更新演算回数計数手段を備え、前記計算時間予測手段が、前記各更新演算回数に対応して前記各予測値を求めることを特徴とする回路分割装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、回路分割方法および装置に関し、特に並列回路シミュレーションに用いる回路分割方法および装置に関する。

## 【0002】

【従来の技術】並列回路シミュレーションのための回路分割方法および装置では、部分回路間を接続する節点数を最小化し、かつ各部分回路のシミュレーション時の計算時間(もしくは負荷)が均等になるように回路を分割することを目的とする。以下、このシミュレーション時の計算時間(もしくは負荷)を、便宜上、単に「大きさ」と称する。従来は、この大きさの予測値として、回路内素子の電気特性モデルを計算して回路行列を作る時

間(モデル計算時間)を素子数(トランジスタ数)  $N_t$  で予測した値  $K_t \cdot N_t$  と行列計算時間を節点数  $K_n$  で予測した値  $K_n \cdot N_n$  との和  $(K_t \cdot N_t + K_n \cdot N_n)$  を用いていた(特開平1-250173)。ここで、 $K_t$ 、 $K_n$  は比例係数(定数)である。

【0003】たとえば、図8は、従来の回路分割装置の構成例を示すブロック図である。この従来の回路分割装置は、回路入力手段81、初期クラスタリング手段82、ミニカット手段83、分割回路出力手段84、計算時間予測手段87、素子数計数手段88、節点数計数手段89、接続度計数手段90とを備えている。

【0004】これらブロックの中、初期クラスタリング手段82は、接続度の大きい素子どうしのマージを繰り返すことによって、ほぼ同じ大きさをもつ、素子の集まりであるクラスタに分割する「初期クラスタリング処理」を行う。また、ミニカット手段83は、部分回路間を接続する節点数を最小化し、かつ各部分回路の大きさが均等になるように、クラスタの集合である部分回路に分割する「ミニカット処理」を行う。さらに、計算時間予測手段87が、部分回路に含まれる素子数を計数するための素子数計数手段88と節点数を計数するための節点数計数手段89とを用いてクラスタの大きさを求めている。そして、接続度計数手段90が、初期クラスタリング手段において全クラスタ対の接続度を求めるために用いられていた。

【0005】また、図9は、従来の回路分割装置における回路分割方法を示す部分フローチャートである。この従来の並列回路シミュレーションのための回路分割方法は、接続度の大きい素子どうしのマージを繰り返すことによって、ほぼ同じ大きさをもつ、素子の集まりであるクラスタに分割する「初期クラスタリング処理」と、部分回路間を接続する節点数を最小化し、かつ各部分回路の大きさが均等になるように、クラスタの集合である部分回路に分割する「ミニカット処理」を行う。いずれにおいても大きさの予測値としてはモデル計算時間を素子数で予測した値と行列計算時間を節点数で予測した値との和を用いていた(ザ・ヨーロッパ・カンファレンス・オン・デザイン・オートメーション1993予稿集pp. 12-17, 特開平5-120371)。

【0006】上述の回路分割方法および装置により得られる各部分回路を、次のシミュレーション手段において並列回路シミュレーションする。この並列回路シミュレーションでは、各部分回路について(修正)節点解析法を適用して線形連立方程式  $Ax=b$  を得、行列  $A$  を三角行列の積に分解するLU (Lower/Upper) 分解を全ての内部節点の節点電位変数のみを消去するところまで実行し、前進消去を内部節点のみについて行うことによって部分回路の外部節点から見た時の等価回路を生成する。この並列回路シミュレーションにおける行列計算時間は、ほぼ、この等価回路生成時に行われるLU

分解処理に要する時間である。

【0007】たとえば、図10は、このLU分解の処理例を示すフローチャートであり、同図のステップS75における計算は「更新演算」と呼ばれる。さらに、内側の二つのループL1で行う処理を「i番目の変数の消去」、もしくは「i番目の節点に対応する変数の消去」と呼ぶ。この回路シミュレーションでは疎行列処理技法が一般に用いられ、この場合、 $a_{ik}$ もしくは $a_{ik}$ の値が0の場合はステップS75の更新演算を行わない。

【0008】上述の並列回路シミュレーションでは、各部分回路の大きさが予測値の通り均衡することにより、結果として、並列回路シミュレーションに要する時間が短縮される。

【0009】

【発明が解決しようとする課題】第1の問題点は、従来の回路分割方法および装置において、回路シミュレーション時の行列計算時間を節点数によって予測しているために予測精度が低いことである。

【0010】その理由は、回路シミュレーション時の行列計算時間すなわち線形連立方程式求解に要する時間は、シミュレーション時のLU分解の処理時間にほぼ等しいが、回路シミュレーションでは疎行列処理技法を用いているため、この行列計算時間は節点数（すなわち行列サイズ）によって決まるのではなく、シミュレーション時のLU分解処理における更新演算の回数によって決まるためである。回路に含まれる節点数をNとすると、行列計算時間のオーダーは、回路によって節点数Nの $\alpha$ 乗（ $1 \leq \alpha \leq 3$ ）に比例して変化し、そのため節点数による予測は精度が悪い。

【0011】第2の問題点は、上述のように、大きさの予測精度が低いために、各部分回路についてのシミュレーション時の計算時間が不均一になり、結果として、並列回路シミュレーションに要する時間が長くなることである。

【0012】その理由は、各部分回路の大きさの予測値ができるだけ等しくなるように回路分割されるため、大きさの予測値（モデル計算時間の予測値と行列計算時間の予測値との和）の精度が低いとシミュレーション時に各部分回路について行なわれる計算時間のばらつきが大きくなる。また、並列回路シミュレーションに要する時間は、ほぼ、各部分回路について行われる計算時間のうち最大のものと、各部分回路を結合する回路について行われる計算時間との和であるため、各部分回路についての計算時間が不均一であるとその最大値が大きくなり、したがって並列回路シミュレーションに要する時間が長くなる。

【0013】したがって、本発明の目的は、上述した技術課題を解決するため、シミュレーション計算時間の予測精度を向上させ、各部分回路の大きさの最大値を低減し、シミュレーション時間を短縮することにある。

【0014】

【課題を解決するための手段】そのため、本発明は、回路シミュレーション時のシミュレーション計算時間をシミュレーション前に予測し予測値を求める計算時間予測ステップを含み、入力された回路をクラスタ化およびマージし、均衡のとれた前記予測値を持つ各部分回路に分割し、回路シミュレーション手段に出力する回路分割方法において、前記各部分回路の回路行列をシミュレーション時に三角行列の積に分解するLU（Lower/Upper）分解の各更新演算回数をシミュレーション前に計数する更新演算回数計数ステップを含み、前記計算時間予測ステップが、前記各更新演算回数に対応して前記各予測値を求めている。

【0015】また、前記更新演算回数計数ステップが、シミュレーション時の前記各更新演算回数を、行列計算を用いずに、前記回路行列の非ゼロ要素 $a_{ij}$ のみを辺（枝）（j, i）で表す有向グラフを用いてシミュレーション前に計数している。

【0016】さらに、既知の前記更新演算回数を持つ各部分回路をマージしたとき、マージ後の回路に新たに発生する内部節点に対応する変数を消去する時の更新演算回数のみを計数し、これを既知の前記更新演算回数と加算してマージ後の回路の更新演算回数とするステップを含んでいる。

【0017】また、回路シミュレーション時のシミュレーション計算時間をシミュレーション前に予測し予測値を求める計算時間予測手段を備え、入力された回路をクラスタ化およびマージし、均衡のとれた前記予測値を持つ各部分回路に分割し、回路シミュレーション手段に出力する回路分割装置において、前記各部分回路の回路行列をシミュレーション時に三角行列の積に分解するLU（Lower/Upper）分解の各更新演算回数をシミュレーション前に計数する更新演算回数計数手段を備え、前記計算時間予測手段が、前記各更新演算回数に対応して前記各予測値を求めている。

【0018】

【発明の実施の形態】次に、本発明について図面を参照して説明する。図1は、本発明の回路分割装置の第1の実施形態を示すブロック図である。図1を参照すると、本実施形態の回路分割装置は、回路入力手段1、初期クラスタリング手段2、ミニカット手段3、分割回路出力手段4、計算時間予測手段7、素子数計数手段8、更新演算回数計数手段9とを備えている。

【0019】回路入力手段1は、回路シミュレーションの対象回路の回路記述ファイルを読み込み、回路の接続情報を得る。

【0020】初期クラスタリング手段2は、ほぼ同じ大きさをもつ、素子の集まりであるクラスタに分割し、これら全クラスタの更新演算回数を更新演算回数計数手段9により計数する。また、マージを行う度にマージ後の

クラスタの更新演算回数を求めるので、マージ時にはマージされるクラスタの更新演算回数はすでに求められている。したがって、マージ後のクラスタの更新演算回数を、マージ前のクラスタの更新演算回数と新たに内部節点となった節点についての更新演算回数の和として求めることができる。このようにして更新演算回数の計数を行うと、計数の手間が大幅に削減できる。

【0021】ただし、この方法では、マージにより新たに発生する内部節点に対応する変数はマージ前から内部節点であった節点に対応する変数よりも後に消去されるため、変数消去の順番がシミュレーション時とできるだけ同じになるようにするには、マージの順序を制御しなければならない。本発明では、マージにより新たに発生する内部節点に対応する変数を消去するとき、一変数消去当たりの更新演算回数が最小となるクラスタ対から順にマージしていく。これにより、ここでの変数消去の順序がシミュレーション時のLU分解で実際に行われる変数消去順序とほぼ等しくなり、更新演算回数の予測精度が向上する。

【0022】ミニカット手段3は、部分回路間を接続する節点の数を最小化し、かつ各部分回路の大きさが均等になるように、クラスタの集合である部分回路に分割する。ここで、初期クラスタリングの結果、全てのクラスタの更新演算回数は既に判っている。したがって、いくつかのクラスタの集合である部分回路についての更新演算回数は、そこに含まれる全てのクラスタをマージすることによって、初期クラスタリングのときと同様に求める。

【0023】分割回路出力手段4は、この分割された回路を、最後に、シミュレーション手段5に引き渡す。

【0024】計算時間予測手段7は、シミュレーション手段5によるシミュレーション時の部分回路の大きさを予測する。この大きさの予測値は、初期クラスタリング手段2およびミニカット手段3において、クラスタ化または部分回路に分割するために用いられる。このとき、素子数計数手段8を用いて素子数 $N_t$ を求めモデル計算時間を $K_t \cdot N_t$ で予測し、本発明の特徴であるところの更新演算回数計数手段9を用いて更新演算回数 $N_u$ を求め、シミュレーション時の行列計算時間を $K_u \cdot N_u$ で予測して、これらの値を足した値を大きさの予測値とする。ここで係数 $K_t$ 、 $K_u$ の値は、トランジスタ1個についてのモデル計算時間が $T_t$ で、更新演算1回に要する時間が $T_u$ であるならば、 $K_t : K_u = T_t : T_u$ となるように設定する。各計算を同一の電子計算機で行った場合、この値は100:1から200:1程度となる。

【0025】更新演算回数計数手段9は、シミュレーション時のLU分解においてある節点に対応する変数を消去するときの更新演算回数を、行列計算を用いずに、シミュレーション前に数え、対象となる全ての変数を順番

に消去していったときの更新演算回数の合計を求める。ここで、変数を消去する順番は、変数を消去したときの更新演算回数が最も小さいものを先にする。これは、シミュレーション時のLU分解で実際に行われる変数消去がこの順序で行われるためである。これにより、回路分割時（予測時）およびシミュレーション時のフィルインの生成の仕方が同様になるため、回路分割時（予測時）およびシミュレーション時の更新演算回数も両者で一致する。

【0026】また、この更新演算回数の計数においては、回路行列の各要素の値は重要ではなく、非ゼロ要素パターンのみが判れば良い。そこで、非ゼロ要素 $a_{ij}$ の存在を辺 $(j, i)$ の存在により表す有向グラフ $G = (V, E)$ を用いて非ゼロ要素パターンを表現する。ここで、行列サイズを $n$ とすると $V = \{1, 2, \dots, n\}$ および $E = \{(j, i) \mid a_{ij} \neq 0\}$ である。LU分解において $i$ 番目の変数を消去するときの更新演算回数を計数する手段は、該有向グラフにおける節点 $i$ に入ってくる辺 $(k, i)$ の数と節点 $i$ から出ていく辺 $(i, l)$ の数との積を求めることにより更新演算回数を求める。ただし、辺 $(i, i)$ は、入ってくる辺または出ていく辺を数えない。また、この変数消去で値が更新される要素に対応する辺の集合は、上述の入ってくる辺および出ていく辺に繋がる節点 $k$ と節点 $l$ の任意の組み合わせで構成される辺 $(k, l)$ の集合であり、この中の未だグラフ内に存在しない辺をフィルインとして、必要に応じてグラフに新たに追加する。

【0027】図2は、本実施形態における回路分割装置の処理手順を示すフローチャートであり、図3は、更新演算回数計数手段9による更新演算回数計数処理のフローチャートである。また、図4～図6は、回路分割装置による処理前または処理中の回路例およびその有向グラフ表現を示す説明図である。図1～6を参照して、本実施形態の回路分割装置の動作を詳細に説明する。

【0028】始めに、図4(A)の回路図のデータが回路入力手段1により入力される（ステップS1）。

【0029】次に、初期クラスタリング手段2により初期クラスタリング処理を行う。各素子を一つのクラスタとし、回路全体に節点解析法を適用した時の回路行列の非ゼロパターンを表す図4(B)の有向グラフ $G$ を生成して、各クラスタの大きさを計算時間予測手段7によって求める（ステップS2）。全てのクラスタ対について、マージした時に新たに内部節点となる節点に対応する $N_{in}$ 個の変数を全て消去するときの更新演算回数 $N_{uin}$ を更新演算回数計数手段9により求め、一変数当たりの平均回数 $N_{uin}/N_{in}$ が最小のクラスタ対をマージの候補として選択する（ステップS3）。ここで、更新演算回数の計数は有向グラフ $G$ と消去すべき変数の集合を用いて図3に示すような手順で行う。

【0030】続いて、候補のクラスタ対を実際にマージ

する前に計算時間予測手段7を用いて、マージ後の大きさを二つのクラスタの大きさと $K_u \cdot N_{uin}$ との和として求め、これが目標の大きさを越えていない時にのみマージを実行し（ステップS4～S5）、目標の大きさを越えた場合には当該クラスタ対を以後マージの候補とはしない。マージを行った後に、マージ前の二つのクラスタの大きさと $K_u \cdot N_{uin}$ との和をあらためてマージ後のクラスタの大きさとして設定する（ステップS6）。以上のステップS3～S6を、マージすべきクラスタがなくなるまで繰り返し（ステップS7）、全てのクラスタをほぼ均等な大きさにする。例えば、図4

(A)の回路の回路に対して、目標の大きさを4とし、モデル計算時間の予測式 $K_t \cdot N_t$ において $K_t = 1$ 、 $N_t$ を抵抗素子数とし、行列計算時間の予測式において $K_u = 1$ として初期クラスタリング処理を行うと、図5に示すC1～C5のクラスタに分割される。

【0031】次に、ミニカット手段3によりミニカット処理を行う。まず、移動した時にカット数を最も減少させるクラスタを選択する（ステップS8）。選択したクラスタを移動した後の各部分回路の大きさを計算時間予測手段7を用いて求め、大きさの均衡が保たれている場合にだけ実際に移動を行う（ステップS9～S11）。これらのステップS8～S11を移動させるべきクラスタがなくなるまで繰り返す（ステップS12）。最終的に、図4の回路は、図6に示す境界線P1の左側、右側の部分回路A、Bに分割される。シミュレーション手段における実際の計算時間が $K_t \cdot N_t + K_u \cdot N_u$ 秒であると仮定すると、部分回路Aの計算時間は13秒であり、部分回路Bの計算時間も13秒である。これら部分回路の結合部分の行列計算時間も更新演算回数から求めると5秒であるので、部分回路の計算を並列に実行したとすると回路全体についての計算時間は $13 + 5 = 18$ 秒である。ここで、 $K_t = K_u = 1$ 、 $N_t$ 、 $N_u$ の値はそれぞれ部分回路に含まれる抵抗素子数、部分回路（もしくは結合回路）について行われる更新演算回数とした。

$$N_{uin} = \sum_{k=N_s}^{N_{in}+N_s-1} k^2 \dots\dots\dots [\text{数1}]$$

【0036】なお、他の実施形態として、第1、第2の実施形態で用いたミニカットの方法を用いる代わりに分割の両側から一つずつクラスタを選択して同時に交換する方法を用いることもできる。また、局所最適解を避けるために階層クラスタリングを行った後、上の階層から（クラスタ数の少ない階層から）順に階層毎にクラスタ移動（もしくはクラスタ交換）によるミニカットを行う方法などが考えられる。

【0037】

【発明の効果】第1の効果は、回路分割時に行われる各

【0032】一方、図8、図9に示した従来の方法および装置で分割した場合の分割結果は、図6のP2を境界線とした分割となる。この場合も同様にシミュレーション手段における実際の計算時間が $K_t \cdot N_t + K_u \cdot N_u$ 秒であるとする、部分回路Aの計算時間は10秒、部分回路Bの計算時間は21秒と均一でなくなり、結合部分の行列計算時間は0秒であるが、回路全体についての計算時間は21秒となり、本発明による回路分割結果の方が優れていることが分かる。

【0033】図7は、本発明の回路分割方法および装置の第2の実施形態における更新演算回数計数方法を示すフローチャートである。本実施形態の回路分割方法および装置の全体ブロック構成および処理内容は、それぞれ図1、図2で示される第1の実施形態と同一のものであるが、更新演算回数計数手段9における更新演算回数計数方法が相違している。図2、3、7を参照して説明すると、本実施形態における更新演算回数計数方法は、更新演算回数計数手段9における更新演算回数の求め方を複数用意し（ステップS94～S96）、要求される精度と速度に応じて使い分ける。初期クラスタリング処理におけるクラスタ対選択（ステップS3）において、更新演算によって生成されるフィルインに対応する辺の追加（ステップS34）と消去された変数に対応する節点削除（ステップS35）を行わずに、更新演算回数を求める（ステップS94）。

【0034】また、目標の大きさを越えているかどうかを判定する時（ステップS4）およびミニカットで部分回路に含まれる全てのクラスタをマージした時の更新演算回数の計数（ステップS9）においては、行列が完全に密である（全ての要素がゼロでない）と仮定して、有向グラフを用いずに、マージにより新たに発生する内部節点の数 $N_{in}$ 、マージ後の外部節点の数 $N_x$ から、次に示す[数1]の式により、新たに発生する内部節点に対応する変数を消去した時の更新演算回数 $N_{uin}$ を計算する（ステップS95）。

【0035】

クラスタ（部分回路）についての計算時間予測の精度が向上することである。これによって回路分割により得られる各部分回路のシミュレーション手段における計算時間が均等になり、結果として並列回路シミュレーションに要する時間が短縮される。その理由は、各部分回路についての計算時間は、ほぼ、モデル計算時間と行列計算時間の和であり、さら後者はほぼLU分解の更新演算に要する時間に等しく、本発明はこの更新演算回数により行列計算時間を予測するためである。

【0038】第2の効果は、高速に更新演算回数の計数

が行えるということである。その理由は、マージ後のクラスタの大きさ（予測値）を、マージ前のクラスタの大きさと、新たに発生する内部節点に対応する変数のみを消去する時の更新演算回数との和により求めているためであり、さらに回路行列の非ゼロパターンを非ゼロ要素を辺（枝）であらわす有向グラフを用いているため、ある変数を消去するときの更新演算回数を容易に求めることができるためである。

【図面の簡単な説明】

【図 1】本発明の回路分割装置の第 1 の実施形態を示す構成ブロック図である。

【図 2】図 1 の回路分割装置における回路分割方法を示すフローチャートである。

【図 3】図 2 の回路分割方法における更新演算回数計数方法のフローチャートである。

【図 4】図 1 の回路分割装置による処理前の回路例およびその有向グラフ表現を示す説明図である。

【図 5】図 2 の回路分割方法の初期クラスタリング処理後の回路例およびその有向グラフ表現を示す説明図である。

【図 6】図 2 の回路分割方法のミニカット処理後の回路例およびその有向グラフ表現を示す説明図である。

【図 7】本発明の回路分割方法の第 2 の実施形態における更新演算回数計数方法を示すフローチャートである。

【図 8】従来の回路分割装置を示すブロック図である。

【図 9】図 8 の回路分割方法を示すフローチャートである。

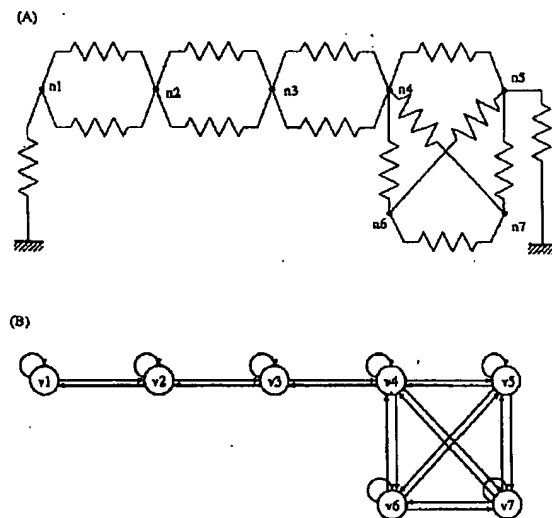
【図 10】回路シミュレーション時の LU 分解処理を示

すフローチャートである。

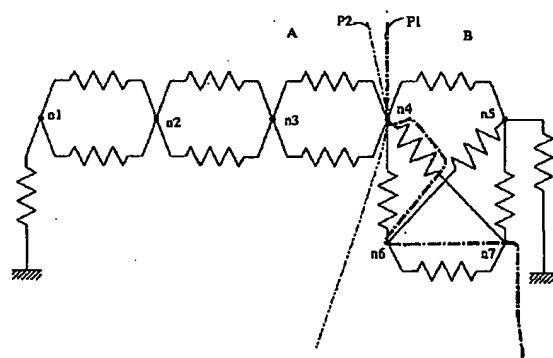
【符号の説明】

- |             |                 |
|-------------|-----------------|
| 1           | 回路入力手段          |
| 2           | 初期クラスタリング手段     |
| 3           | ミニカット手段         |
| 4           | 分割回路出力手段        |
| 5           | シミュレーション手段      |
| 6           | シミュレーション結果出力手段  |
| 7           | 計算時間予測手段        |
| 8           | 素子数計数手段         |
| 9           | 更新演算回数計数手段      |
| 8 1         | 回路入力手段          |
| 8 2         | 初期クラスタリング手段     |
| 8 3         | ミニカット手段         |
| 8 4         | 分割回路出力手段        |
| 8 5         | シミュレーション手段      |
| 8 6         | シミュレーション結果出力手段  |
| 8 7         | 計算時間予測手段        |
| 8 8         | 素子数計数手段         |
| 8 9         | 節点数計数手段         |
| 9 0         | 接続度計数手段         |
| S 1 ~ S 9 6 | 処理ステップ          |
| n 1 ~ n 7   | 回路の節点           |
| v 1 ~ v 7   | 有向グラフの節点        |
| C 1 ~ C 5   | 初期クラスタリング後のクラスタ |
| P 1, P 2    | 回路分割後の分割境界線     |
| L 1         | i 番目の変数を消去する処理  |

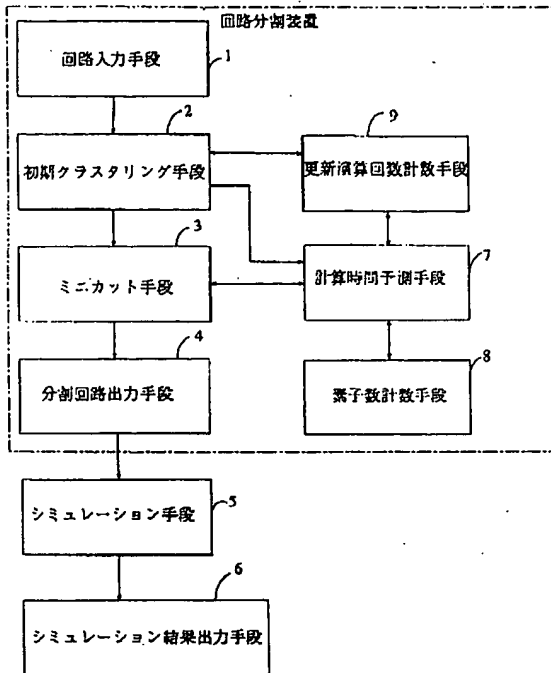
【図 4】



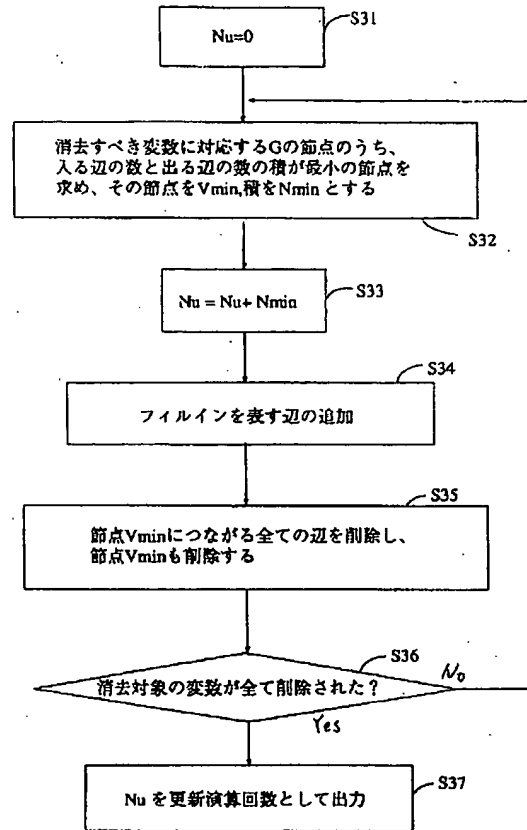
【図 6】



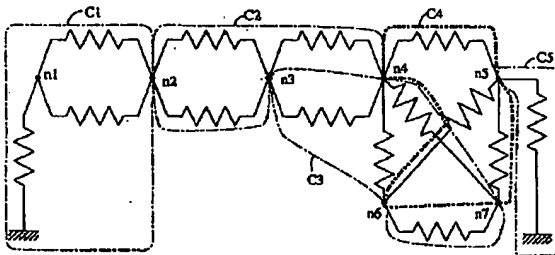
【図1】



【図3】

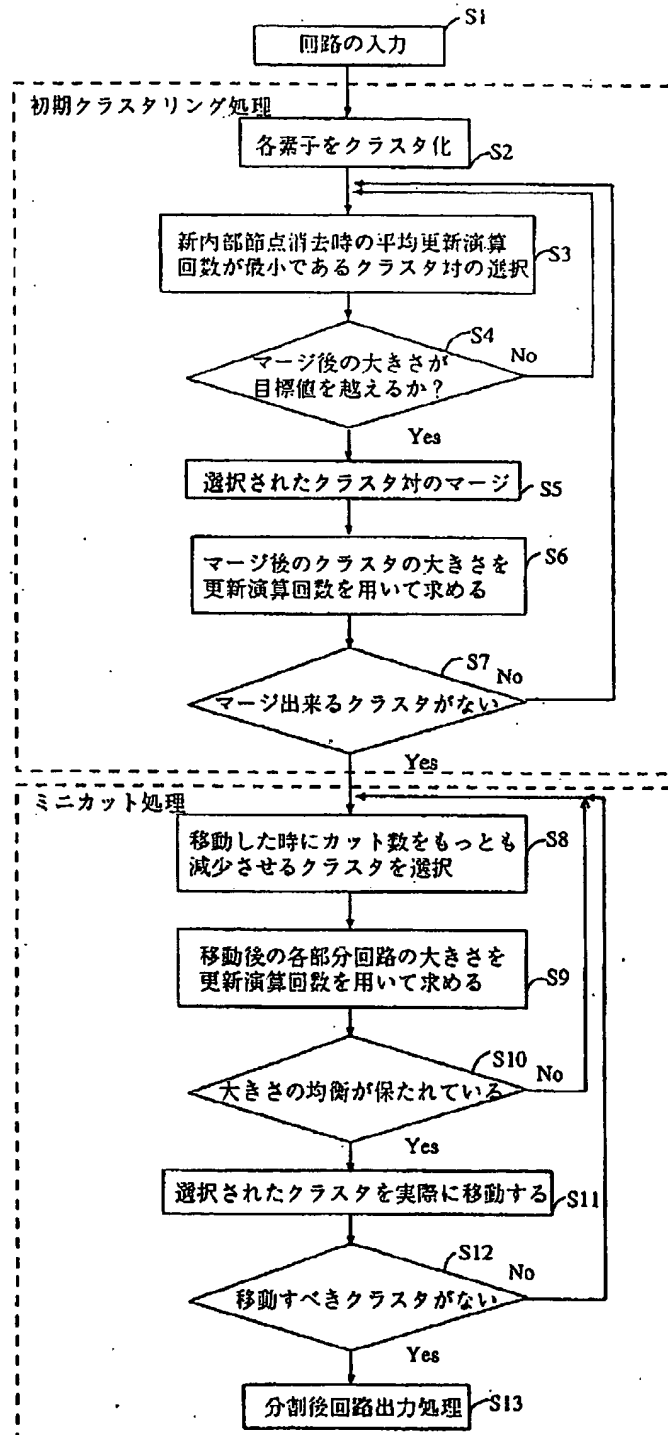


【図5】

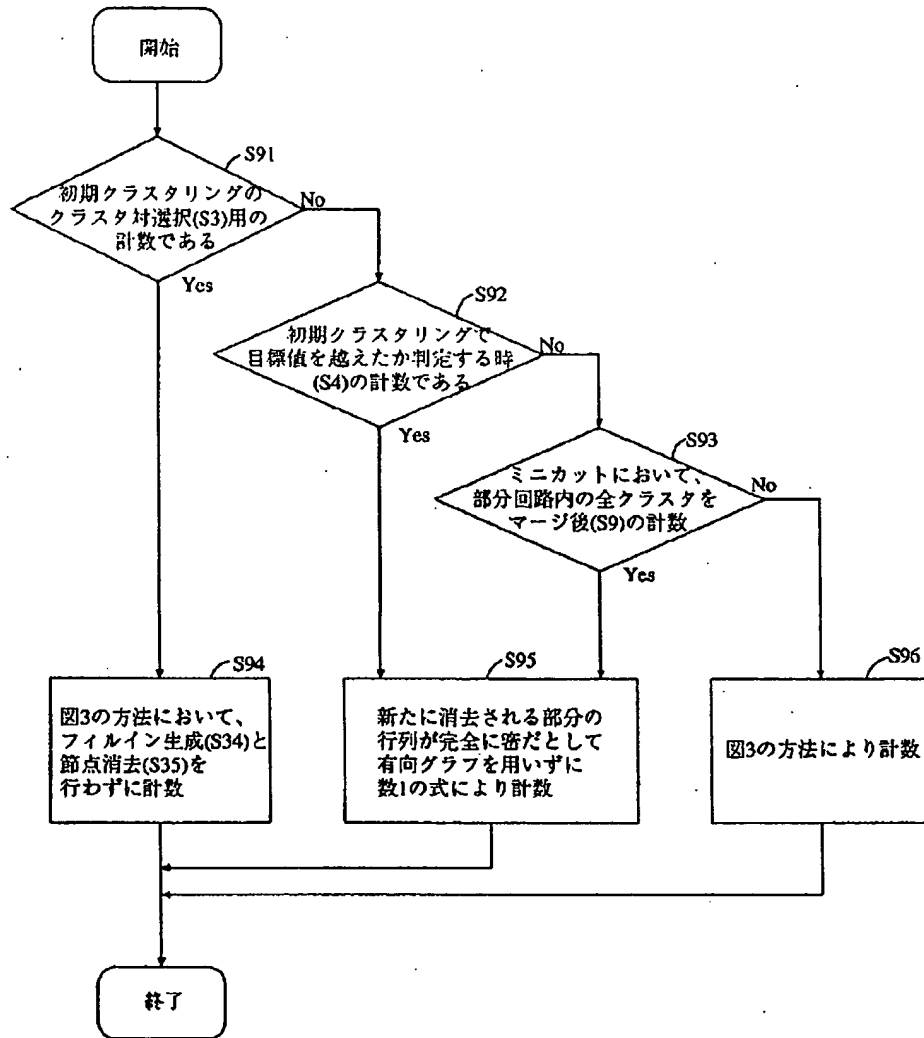




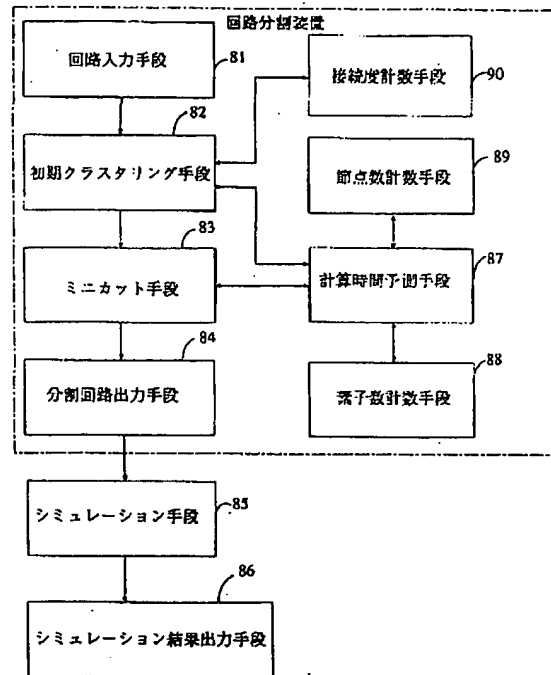
【図2】



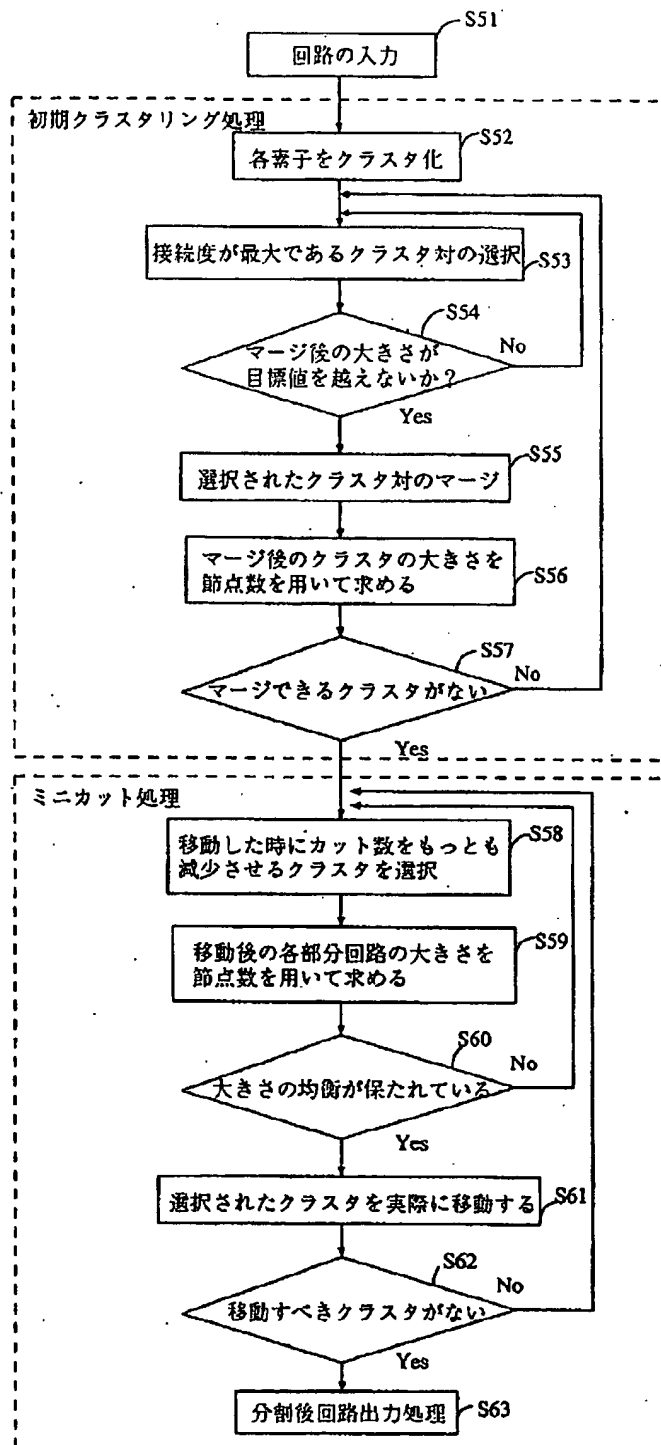
【図7】



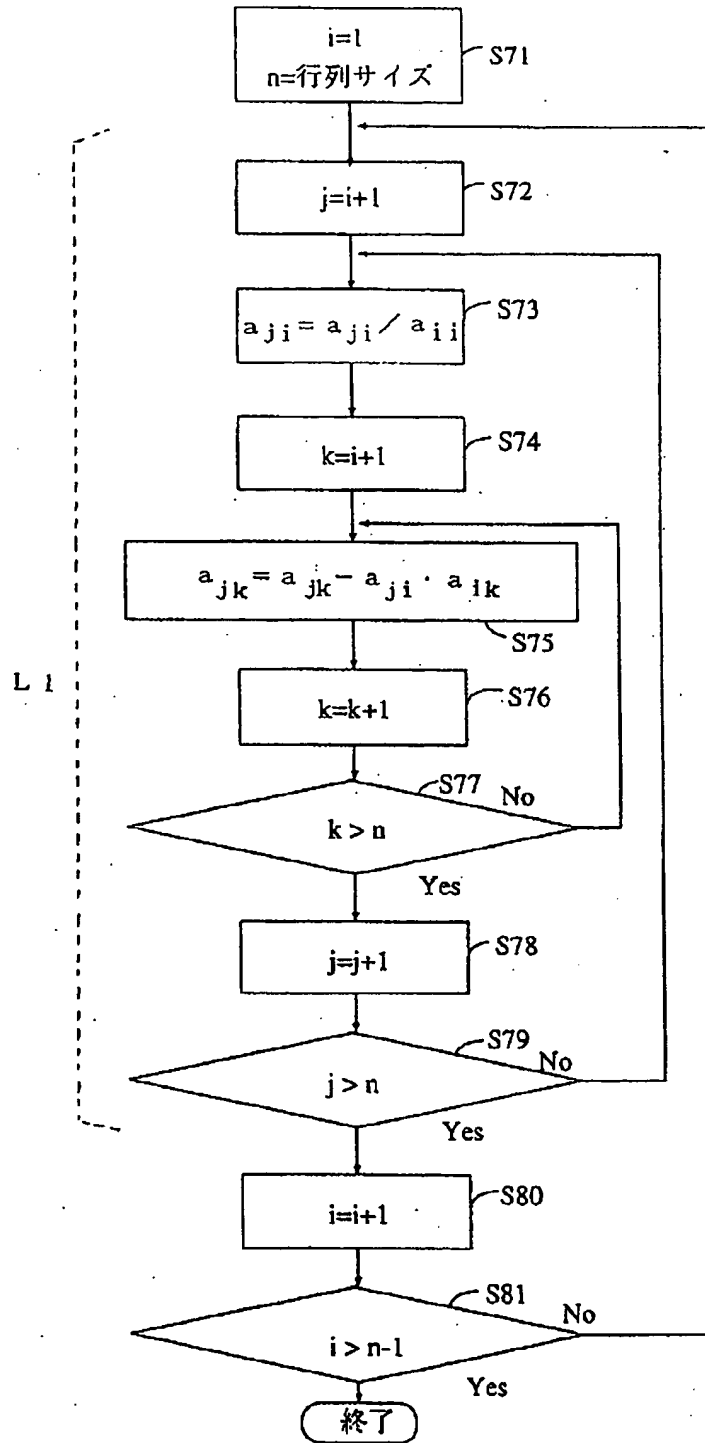
【図8】



【図9】



【図10】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**